

PCAD Kurzübersicht

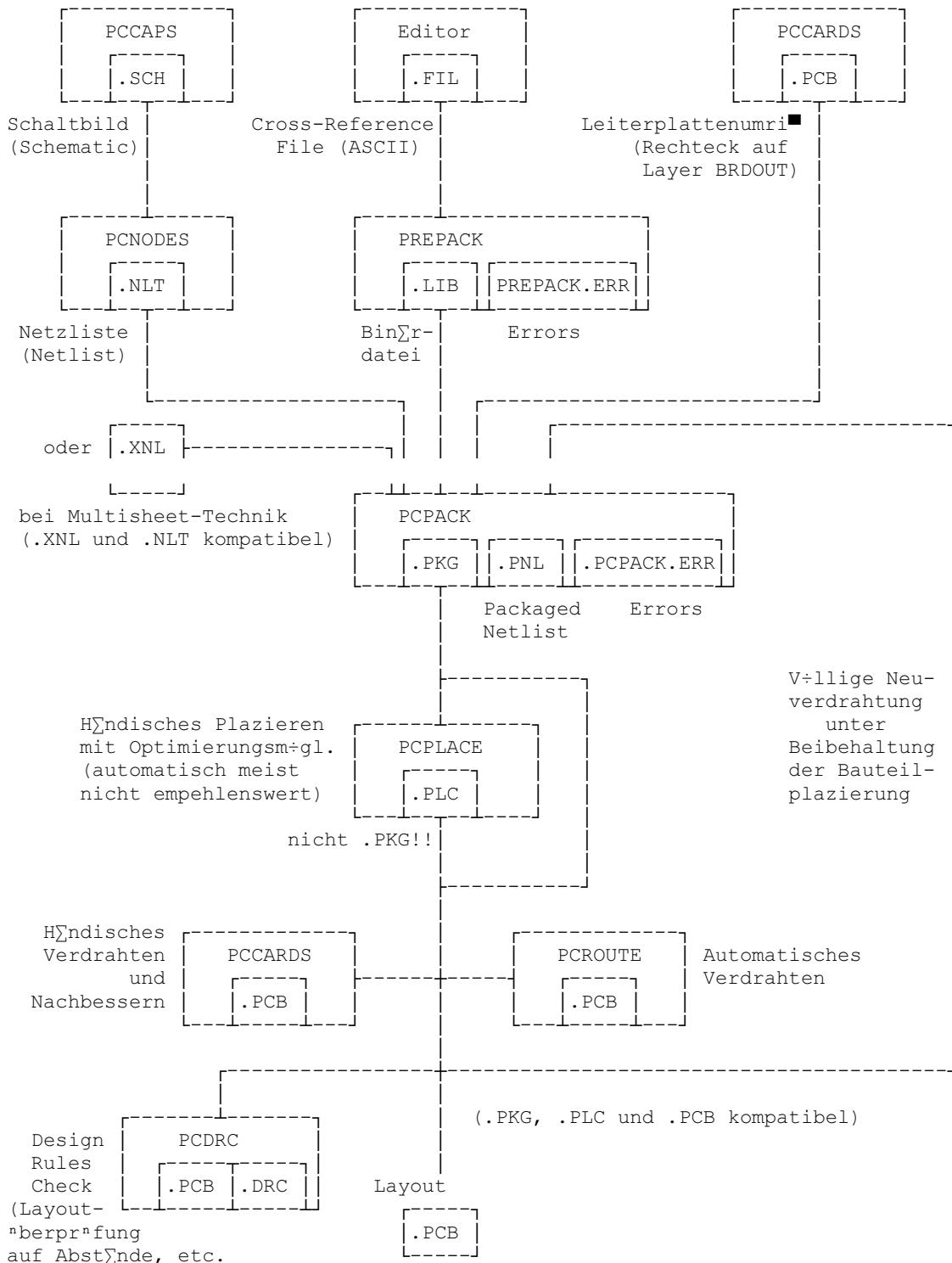
Sepp Melchart, N, TGM

Kurzübersichten komplexer Programme haben sich als Arbeitsbehelfe bestens bewährt. Sogar bei der Matura werden sie von Schülern eingesetzt, da meist schon einige Zeit seit der letzten Printfertigung verstrichen ist.

Einen Abschluß dieser Kurzfassungen bringen wir heute; für den Herbst ist eine Zusammenfassung in einem PCAD-Sonderdruck geplant.

Bereits erschienen:

- PC-NEWS-21 S.24 Arbeitsabläufe mit PCAD, kurz gefaßt
- PC-NEWS-25 S.54 Lötungen-Farben-Symbols-Parts in PCAD
- PC-NEWS-26 S.20 PC-ROUTE
- PC-NEWS-27 S.38 Professionelle Fertigung von PCAD-Layouts,
- PC-NEWS-29 S.58 Schnelles Erstellen einfacher Layouts mit PCCARDS
- PC-NEWS-30 S.67 PCAD-6.0



PCCAPS: 1 DBU (Data Base Unit) = 10 mil (10/1000 Zoll)
 Papierformat A4 = 21,0 x 29,7 cm = 826,8 x 1169,3 DBU

PCCARDS: 1 DBU = 1 mil (1/1000 Zoll)
 Europakarte = 16 x 10 cm = 6299 x 3937 DBU

PCCAPS - Multisheet-Technik

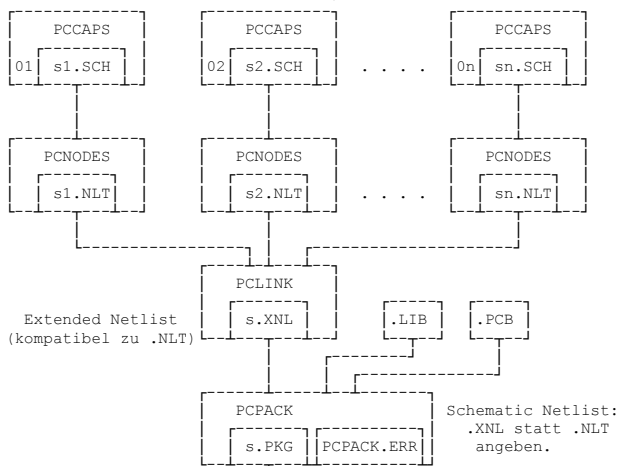
Meist ist es günstig, eine umfangreiche Schaltung (Stromlaufplan) auf mehrere Blätter aufzuteilen (Multisheet-Technik).

Vorgangsweise:

- In PCCAPS jedes Blatt (Sheet) als eigenes Schematic (.SCH) erstellen. Netze, die miteinander elektrisch verbunden werden sollen, erhalten den gleichen Netznamen (NAME / NET).
- Jedes Blatt muß ein sogenanntes "Sheet-Attribut" erhalten:
 - SYMB-Modus einschalten.
 - ATTR / ACOM "sheet=01"
 - (fortlaufende Blattnummer von 01 bis nn);
Zum Beispiel ins linke untere Eck schreiben, ATTR-Layer, Größe 40.
 - DETL-Modus wieder einschalten.
 (Grund: Unbezeichnete Netze werden auf jedem Sheet automatisch mit UN0000, UN0001, usw. fortlaufend bezeichnet. PCLINK würde die Netze mit gleichem Namen UN0000, UN0001, usw. verbinden ---> falsche Verdrahtung!! Das Sheet-Attribut verhindert das.)
- Mit PCNODES von jedem Sheet eine Netzliste erstellen.
- Mit PCLINK alle Netzlisten verknüpfen:
 - Netlist filename: s1.NLT + s2.NLT + s3.NLT + ... + sn.NLT.
 - Die Extension .NLT kann weggelassen werden.
 - Wenn nach einem "+" ein <Enter> eingegeben wird, kann in der nächsten Zeile fortgesetzt werden.
- PCPACK mit .XNL (Extended Netlist) statt mit .NLT (Netlist). (Netzlisten .XNL und .NLT sind kompatibel.)

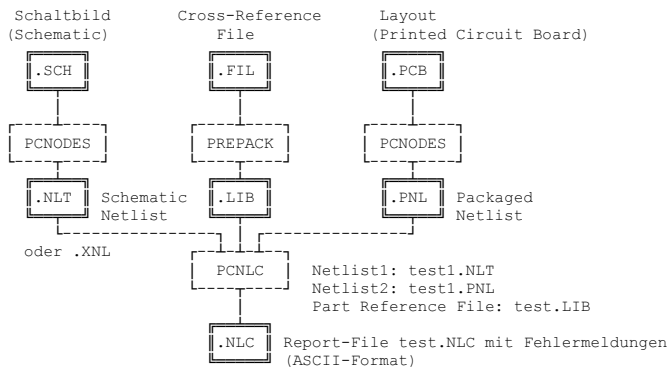
Übersicht:

SYMB-Modus: ATTR / ACOM sheet=01, 02...



PCNLC (Net List Compare)

Vergleicht Schaltbild und Layout anhand ihrer Netzlisten (Verdrahtung). Prüft die Übereinstimmung der Bauteile (Gates), der elektr. Verbindungen (Nets), etc.



Es können auch 2 Schematic-Netlists (.NLT bzw. .XNL) oder 2 Packaged-Netlists (.PNL) verglichen werden.

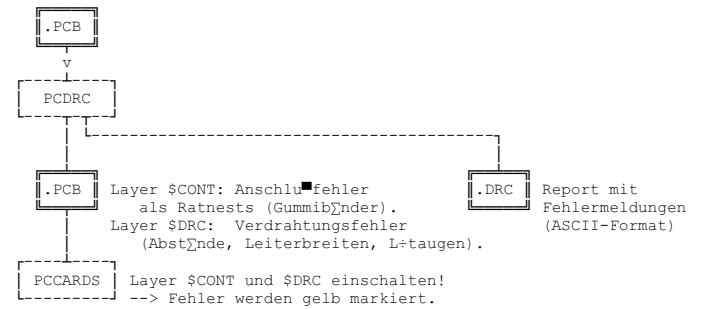
PCDRC (Design Rules Check)

Prüft das fertige Layout bezüglich Verdrahtungsregeln (Design Rules): Mindestabstände, Leiterbreiten, Lötangengrößen, etc.

Es werden 2 Prüfungen durchgeführt:

CONTINUITY CHECK: Prüft, ob alle Bauteile angeschlossen sind (ANSCHLUSSFEHLER). Verwendet die in der Database .PCB enthaltene Netzliste. Erzeugt Layer \$CONT im .PCB-File.

DESIGN RULES CHECK: Prüft die Geometrie der Leiterbahnen am Print (Leiterbreiten, Abstände, etc.) (VERDRAHTUNGSFEHLER). Verwendet Database .PCB. Erzeugt Layer \$DRC im .PCB-File.



Durchführung:

1) Edit Design Rules:

Edit design rules set: PCAD, TEST, etc.

Es können mehrere Verdrahtungsregeln festgelegt werden. Sie werden gemeinsam im File PCDRC.RUL abgespeichert.

2) Für jeden Film (= zusammengehörige Layers) ist ein Durchlauf erforderlich,

z.B:

PASS_1: Layer COMP + PADCMP (1 Film für Bauteilseite)

PASS_2: Layer SOLDER + PADSLD (1 Film für Lötseite)

PASS_3: Layer INT1 + PADINT (1 Film für interne Kupferschicht)

Edit Check Passes:

PASS_1: Rules set: TEST

Layers: COMP SOLDER
PADCMP PADSLD

PASS_2: ...

3) Edit Ignore Part List:

Bauteile, die nicht überprüft werden sollen.

Beispiel: Stecker, insbesondere Randzonenstecker (Board Edge Connector, z.B. Kontakteiste für PC-Slot) sollen nicht auf Abstand vom Leiterplattenrand überprüft werden.

4) Run PCDRC:

PCB filename: projektname.PCB

Report filename: projektname.DRC

Ausdrucken und gründlich studieren!

Continuity Check: YES Erzeugt \$CONT-Layer im .PCB-File

Design Rule Check: YES Erzeugt \$DRC-Layer im .PCB-File

Minimalwerte angeben (in Zoll):

Round pad size 0.060 (Rundes Lötauge)

Nonround pad size 0.060 (Nicht rundes Lötauge)

Via size 0.060 (Durchkontaktierung)

Trace width 0.016 (Leiterbreite)

Pad to pad spacing 0.010 (Abstand Lötauge zu Lötauge)

Pad to trace spacing 0.010 (Abstand Lötauge zu Leiterbahn)

Pad to board edge spacing 0.050 (0.100) (Abstand Lötauge zu Rand)

Trace to board edge spacing 0.050 (0.100) (Abstand Leiterbahn zu Rand)