

# Austria Schulsystem - VIEWlogic

Ernst Wurzer

Die „Austria Schulsystem“ Aktion von VIEWlogic und SELBoeg läuft nun schon seit Ende 1994 sehr erfolgreich und wird auch weiterhin von Viewlogic und SELBoeg unterstützt werden.

Wir möchten uns an dieser Stelle herzlichst bei unseren Kunden in den Höheren Technischen Schulen und Universitäten für Ihr Vertrauen bedanken.

Da wir nicht alle Kollegen des Lehrkörpers in den verschiedenen Schultypen erreichen können und dem „Austria Schulsystem-Viewlogic“ immer mehr Interesse entgegengebracht wird, möchten wir auf diese Weise den Inhalt des Paketes und ein wenig Backgroundinformationen liefern

Weiters sind wir auch intensiv damit beschäftigt neue „Austria Schulpakete“ für Leiterplattenlayout zusammenzustellen, welches wir Ihnen in Kürze vorstellen werden.

Das „Austria Schulpaket - PADS“ und das „Austria Schulpaket - topCAD“ werden natürlich engstens mit der VIEWlogic Oberfläche verbunden sein und eine ideale Ergänzung liefern.

## Kontakt:

SELBoeg, Ing. Ernst Wurzer  
Rudolf Reiterstr. 12  
2540 Bad Vöslau  
Tel: 02252/76095, Fax: 02252/76095-4

## DAS AUSTRIA SCHULSYSTEM

Bestehend aus:

### System Management PC-Windows:

WorkView	PLUS Systemoberfläche
Cockpit	Systemsteuerung und Verwaltung
Navigator	navigiert durch sämtliche Designstrukturen

### Eingabewerkzeuge - technologieunabhängig (TTL,EPLD,FPGA,ASIC .:

VIEWDraw	Hierarchische Schaltplaneingabe
ViewFSM	Finite State Machine Eingabe
ViewDatapath	DataPath Eingabe
ViewVHDL	VHDL Eingabe
ViewPLD	textuelle Eingabe auf AHDL von ABEL

### Analysewerkzeuge:

ViewSIM VHDL	Digital Simulator für alle Eingabestrukturen
ViewVHDL Analyser	VHDL Syntaxcheck und Analyse
ViewVHDL Debugger	VHDL Debugging Werkzeug (single step .)
ViewTRACE	grafische Ausgabe (Wellenform) der Simulationsergebnisse digital sowie analog und gemischt.

### Synthesewerkzeuge:

ViewPLD (ABEL)	Vollimplementation von ABEL (Data/O) Synthese von EPLD & FPGA
ViewSYNTHESIS	Synthese inkl. VHDL 1076 Std. Von EPLD,FPGA,ASIC,FullCustom,Std.

Cell

### Bibliotheken:

Symbolbibliothek digital	komplette Bibliothek für ALLE Technologien und Hersteller. TTL,HC,HCT, uP,Memory u.s.w.
Symbolbibliothek analog	komplette Bibliothek für ALLE Technologien und Hersteller, analog IC, T,D,R,zD,tD u.s.w.
Symbolbibliothek PLD	komplette Bibliothek der programmierbaren Bauteile PAL,EPLD,PLD u.s.w.
Simulationsmodelle digital	komplette Simulationsmodelle passend zur Simulationsbibliothek digital.
Simulationsmodelle analog	Kreuzreferenz von Symbolbibliothek analog zu externen SPICE Modellen.
Simulationsbibliothek PLD	komplette Simulationsmodelle (> 5000 Stk) passend zur Symbolbibliothek PLD CPLD und FPGA´s werden Direkt von den jeweiligen Herstellern für VIEWlogic unterstützt.

### Interfaces:

SPICELink	Parameterübergabe zu PSPICE und Ergebnis Auswertung von PSPICE in ViewTrace. SPICE wird nur als "Rechenwerk" verwendet.
EDIF in/out	EDIF 2.x Ein/Ausgabekanal
PCB Interface	nach Wahl z.B. SPEA topCAD, P-CAD, Mentor, Intergraph u.s.w.

### Konverter:

ViewEXPORT 1076	konvertiert Schaltpläne (Gates) nach VHDL 1076 Netzlisten für die Weiterverarbeitung mit VHDL,Synthese u.s.w.
ViewGen	Erzeugt Schaltpläne aus "WIR" Strukturen also aus VHDL, FPGA, JEDEC u.s.w. inkludiert auch automatische Symbolgenerierung.

Das "Austria Schulsystem" von VIEWlogic und SELBoeg ist aufgrund enger Zusammenarbeit mit österreichischen HTL´s, deren Wünschen, Anregungen und Bedürfnissen entstanden und kann somit als ein kompaktes und dennoch offenes und auf Jahre hinaus beständiges Schulpaket angeboten werden.

Der Industriepreis dieser Systemkonfiguration liegt bei etwa öS 1.5 Mio für PC und ca. öS 2 Mio für Workstation.

Im allgemeinen wird ein Ausbildungs- & Forschungsrabatt von -75% gewährt.

Es ist uns jedoch durch engste Zusammenarbeit und Verhandlungen gelungen VIEWlogic davon zu überzeugen, daß der Bedarf an einem solchen System für die österreichischen höheren technischen Schulen in hohem Maße gegeben ist und daher ein höherer Absatz als normal zu erwarten sei.

Dadurch wurde es uns ermöglicht den Preis für eine "Sammelbestellung" möglichst vieler HTL´s auf ein Minimum zu reduzieren und gleichzeitig auch noch eine Wartungsverlängerung auf 2 JAHRE zu erwirken.

Die jeweilige "Sammelbestellung" sollte bis zum Quartalsende zusammengestellt und bei VIEWlogic plaziert sein. Diese Sammelbestellungen richten sich nach dem jeweiligen Bedarf und sind auch weiterhin vorgesehen. Um eine Sammelbestellung bei VIEWlogic zu plazieren benötigen wir eine Gesamtbestellsumme von 220.000,- das entspricht ca. 10 Systemen bis zum obigen Stichtag. Sollte dieses Volumen nicht erreicht werden verzögert sich die Auftragserteilung und damit die Auslieferung bis nach dem Stichtag der nächsten „Sammelbestellung“.

Wir möchte Sie an dieser Stelle auch darauf hinweisen, daß unserer Vertragshändler ebenfalls gerne für Sie da sind und Ihnen gerne auch Angebote legen oder Ihre Aufträge entgegennehmen.

Noch ein Wort zu Schulung und Unterstützung: Hr. Thorwartl und Hr Dipl. Ing. Prasky beide an der HTL-Wien 1 haben die Unterstützung und Schulung im Bereich Viewlogic für den Schulbereich übernommen und werden in den nächsten Monaten als erste in Österreich die Zertifikation zum Internationalen Viewlogic Trainer erhalten.

## Unsere Vertragshändler in Österreich:

### VCI

Hr. Ing. Günther Vlaschits  
Wintergasse 77/1, 3002 Purkersdorf  
Tel: 02231/2907, Fax: 02231/2907-4, Modem:02231/2907-5

### EDV-Services

Hr. Ing. Christian Hüpfner  
Schießelstr. 18, 2563 Neuhaus  
Tel: 02674/8357, Fax: 02674/83544, BBS:02674/8357-22

## Preise Austria Schulpaket-Viewlogic

### PC-System

öS 24.000,- exkl. Mwst., öS 28.800,- inkl. Mwst.

### Workstation-System

öS 29.000,-exkl. Mwst., öS 34.800,-inkl. Mwst. □

# ViewSynthesis® for Windows

*Vollständig interaktives Synthese-Tool für hierarchische Designs bringt bis zu 50% mehr Effizienz bei XILINX und ACTEL Bausteinen*

## Ernst Wurzer

Viewlogic Systems Inc. stellt mit ViewSynthesis® for Windows das erste vollständig interaktive Synthese-Tool für hierarchische Designs auf dem PC vor.

Die interaktive hierarchische Synthese gibt FPGA-Entwicklern eine hervorragende Kontrolle über den Syntheseprozess und ermöglicht die Verbesserung der Designs im Hinblick auf Kapazität und Leistung. Angesichts der zunehmenden Komplexität der neuesten programmierbaren Bausteine wird Hierarchie-Unterstützung immer wichtiger für ein effektives Design. Bei allen anderen PC-Synthese-Tools ist es erforderlich, die Hierarchie entweder für sämtliche Design-Elemente beizubehalten oder sie komplett aufzulösen, was zu inakzeptablen Einbußen bei Qualität oder Kapazität führt.

ViewSynthesis for Windows ist für Windows NT™ verfügbar, womit Viewlogic der wachsenden Akzeptanz von Windows NT als einer leistungsfähigen alternativen Betriebsumgebung für das Elektronik-Design Rechnung trägt. Zusätzlich ist ViewSynthesis for Windows für Microsoft Windows 3.11® und das zukünftige Windows 95® verfügbar.

Führende FPGA- und CPLD-Hersteller haben neue Bausteine mit wesentlich höheren Dichten eingeführt. Im Hinblick auf diese höhere Kapazität bietet ViewSynthesis for Windows zwei wesentliche Merkmale: interaktive graphische Hierarchie-Kontrolle und automatisches parametrisiertes Modul-Mapping. Der graphische Hierarchie-Browser ist eine besondere Bedieneroberfläche zur graphischen Darstellung und Kontrolle aller Module eines hierarchischen Designs. Hierarchien werden von den Entwicklern häufig verwendet, um das Management umfangreicher Projekte zu erleichtern. Mit ihrer Hilfe können die Entwickler die Synthese auf bestimmte Teile eines Designs anwenden und Synthesekriterien individuell für ausgewählte Blöcke innerhalb eines Designs festlegen.

ViewSynthesis for Windows unterstützt die neuesten Bausteine und bietet spezifische Optimierungen für FPGA-Bausteine. Spezielle FPGA-Architekturen erfordern Kenntnisse der Bauteil-Strukturen im Synthese-Tool, um optimale Kapazität und Geschwindigkeit zu realisieren. Um diese Ziele für FPGA-Familien von Actel zu erreichen, arbeiten Viewlogic und Actel zusammen an der Verbesserung von Produktivität und Leistung und an der Entwicklung neuer Optimierungsalgorithmen.

Tom Todd, Produktmarketing-Leiter bei Actel, kommentierte hierzu: „Makro-Generierungstools wie ACTgen helfen Entwicklern, die mit unseren neuesten High Density FPGAs arbeiten, produktiver zu arbeiten und effizientere Designs zu realisieren. Durch die Unterstützung von LPM-Design-Flows innerhalb der Viewlogic- und Actel-Umgebungen können die Entwickler die Leistung und den Platzbedarf der Bausteine

optimieren. ViewSynthesis for Windows trägt durch automatische LPM-Inferenz zu dieser Fähigkeit bei. Der wichtigste Nutzen ist eine verbesserte Leistung für strukturierte Makros. Die Entwickler können in VHDL arbeiten und die Ergebnisse optimieren, ohne Einbußen bei der Produktivität durch das manuelle Definieren von Makrofunktionen akzeptieren zu müssen.“

In gleicher Weise hat Viewlogic seine Aktivitäten auf die Xilinx-Architektur konzentriert. ViewSynthesis for Windows verbessert bestehende Möglichkeiten und bietet zusätzlich die Unterstützung für die XC5200-Familie in Rahmen eines seit einem Jahr laufenden gemeinsamen Entwicklungsprojektes von Viewlogic/Xilinx.

ViewSynthesis for Windows trägt durch ein weiteres Merkmal zur Effizienzsteigerung bei. Dies ist die Fähigkeit zur automatischen Synthese der für den FPGA-Zielbaustein verfügbaren parametrisierbaren Module. Die meisten FPGA-Hersteller bieten eine Bibliothek von parametrisierbaren Modulen, sogenannten LPM, an. Diese Module und X-BLOX von Xilinx gewährleisten die optimierte Platzierung und Entflechtung von FPGA-Bausteinen für Funktionen wie Addierer.

Die effizientesten FPGA-Designs entstehen durch die Fähigkeit des Synthesizers, VHDL oder Netzlisten-Logikoperatoren in Module umzusetzen. ViewSynthesis for Windows kann die Design-Eingabe analysieren und Design-Strukturen erkennen, die auf ein vorhandenes parametrisierbares Modul für den Zielbaustein abgebildet werden können. Darüber hinaus bietet das neue Produkt die automatische Erkennung und Optimierung von Finite-State-Machines, um optimale Ergebnisse im Hinblick auf Geschwindigkeit oder Platzbedarf zu realisieren.

ViewSynthesis for Windows auf PC soll ab Juli verfügbar sein. Das Äquivalent für UNIX-Plattformen, ViewSyn/FPGA, wird es im September geben. Beide Produkte sollen auch als Kunden-Upgrades verfügbar sein. ViewSynthesis for Windows wird über führende FPGA-Hersteller wie Atmel, Lattice und Xilinx vertrieben.

Viewlogic Systems, Inc. wurde 1984 gegründet und liefert weltweit Software-Lösungen für die Automation der Elektronikentwicklung. Mit den Design-Tools des Unternehmens lassen sich modernste Elektronikprodukte effizient entwickeln, während sowohl die Entwicklungskosten wie auch die Time-to-Market reduziert werden. Viewlogic bietet Software für Rechnerplattformen unter UNIX und Windows an. Darüber hinaus verfügt das Unternehmen über ein breites Spektrum an Support-Leistungen.

Ernst E. Wurzer, SELB OEG

Telefon: +43/2252/76095, Telefax: +43/2252/760954. □